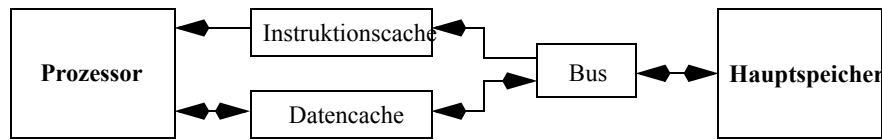


Aufgabe 8: Cache*(Total 20 Punkte)*

Es wird ein Prozessor mit einem Instruktions- und einem Datencache betrachtet. Instruktions- und Datencache sind über einen Bus mit dem Hauptspeicher verbunden (siehe Abbildung oben).

Prozessor: 1 GHz.

Der Datentransfer zwischen Cache und Prozessor nimmt keine zusätzliche Zeit in Anspruch.

Instruktionscache: direktes Abbildungsverfahren (direct mapping),
Blockgrösse: 16 Byte, Cachegrösse 2 KB (2048 Byte),
Wort- und Adressbreite je 32 bit, byteadressiert.

Datencache: direktes Abbildungsverfahren (direct mapping), 256 KB (262144 Byte) gross,
Wort- und Adressbreite je 32 bit, Blockgrösse 32 Byte, byteadressiert.

Bus: Taktrate 100 MHz, Breite: 32 bit.

Hauptspeicherzugriffe benötigen für das erste Wort 3 Buszyklen und für jedes weitere Wort 1 Buszyklus bei Blockübertragung.

Aufgaben:

a) *(8 Punkte)*

Ein Unterprogramm, bestehend aus 256 Instruktionen à 32 bit, die sequentiell ab Adresse 0000Hex im Hauptspeicher angeordnet sind, soll vom Prozessor ausgeführt werden. Der Instruktionscache sei zum Zeitpunkt des Unterprogrammaufrufs leer. Die CPI beträgt 2 Prozessorzyklen. Gesucht wird die CPU-Zeit, die zur Ausführung der gesamten Subroutine benötigt wird.

$CPU\text{-Zeit} = [CPI * \text{Anzahl Instruktionen} + CPU\text{-Wartezyklen}] * \text{Taktperiode}$ (2Pkte)

$CPU\text{-Wartezyklen} = \text{Anzahl Instruktionen} * \text{Miss-Rate} * \text{Miss-Strafe}$ (1Pkt)

$\text{Miss-Rate} = 1 - \text{Hit-Rate} = 1 - 0.75 = 0.25$ (3Pkte)

Direktes Caching mit Wortgrösse 4 ergibt eine Hit-Rate von 0.75, da bei jedem lesen vom Hauptspeicher 4 Worte übertragen werden.

$CPU\text{-Zeit} = [2 * 256 + 256 * 0.25 * (6 * 10)] * 1 \text{ ns} = 4,352 \text{ us}$ (2Pkte)

a)

b) *(12 Punkte)*

Der Datencache sei zu Beginn leer. Daten werden nacheinander von folgenden Adressen gelesen:

0000 0000 0110 1101 1111 1110 0110 0000 (1. Adresse)

0000 0000 0110 0011 1111 1110 0111 0101 (2. Adresse)

0000 0000 0110 1101 1111 1110 0111 1111 (3. Adresse)

i.) Welche Adressen ergeben einen Hit/Miss? Falls es sich um einen Hit handelt, wann wurde das Datenwort im Cache geschrieben?

2 Bit Byte_offset (1Pkt), 3 Bit Block_offset (1Pkt), 13 Bit Index und 14 Bit Tag(1Pkt). (Tip: oben einzeichnen),

1. Adresse (miss) (1Pkt), 2. Adresse (miss) (1Pkt), 3. Adresse (hit), die Daten der 3. Adresse wurden beim lesen der 1. Adresse bereits eingelesen (1Pkt).

ii.) Angenommen, der Datencache würde mit einem 8-fach teilassoziativen Cache identischer Grösse (256 KB) ersetzt werden. Würde sich beim sequentiellen Lesen und LRU-(least recently used)-Ersetzungsstrategie die Hit/Miss-Rate für obige Adressen verändern (Cache zu Beginn leer)? Begründen Sie Ihre Antwort.

Da keine Angabe zur Blockgrösse gemacht wurde, gibt es zwei akzeptierte Lösungen: eine mit Blockgrösse 8 (wie bisher) und eine mit Blockgrösse 1.

Blockgrösse 1: Aufteilung: 2 Bit Byte_offset, 13 Bit Index und 17 Bit Tag, d.h. alles nur miss-es.

Blockgrösse 8: Aufteilung: 2 Bit Byte_offset, 3 Bit Block_offset, 10 Bit Index und 17 Bit Tag (2 Pkte), was ein miss, miss, hit (2 Pkte) zur Folge hat. Begründung wie bei der ersten Teilaufgabe (2 Pkte).